



Architectures reconfigurables



Niveau d'étude
BAC +4



Composante
Polytech Dijon

Présentation

Description

L'objectif principal de ce module est de fournir une méthodologie permettant la mise en œuvre d'architectures reconfigurables de type FPGA. Il s'agira de modéliser, valider et implanter le comportement et l'architecture d'accélérateurs matériels. Les étudiants mettront en pratique :

- La définition et l'implantation, la description d'opérateurs génériques,
- La définition et la mise en œuvre de machine à états,
- La description, la validation comportementale et back-annotated de traitements simples,
- La configuration et le débogage de cibles FPGA,
- L'implantation et validation de traitement d'images (filtrage avec noyau 3x3) sur une cible de type FPGA ARTIX 7, avec conception d'une mémoire cache pour la mise en œuvre en parallèle d'opérateurs arithmétiques, ainsi que la mise en œuvre du contrôle des flux de données associées.

Objectifs

Les acquis d'apprentissage visés sont :

- L'évolution et la structure des architectures reconfigurables,
- Maîtrise des bases du langage de description matériel VHDL,
- La modélisation et la simulation (à différents niveaux de réalisme) d'un système global,
- Les outils actuels nécessaires à l'implantation et aux tests de telles architectures.

Concernant les modalités d'évaluation, ils prendront deux formes : deux épreuves portant sur la maîtrise de la conception d'architectures décrites en VHDL ainsi que la validation de fonctionnalités évoluant en parallèle sur des cibles de type FPGA ; une épreuve du travail pratique réalisée tout au long du mini projet réalisé au cours des séances de TP visant à la conception et la mise en œuvre d'un traitement d'images régulier au sein d'un FPGA.



Heures d'enseignement

CM	Cours Magistral	10,5h
TD	Travaux Dirigés	14h
TP	Travaux Pratiques	24h

Pré-requis obligatoires

L'objectif principal de ce module est de fournir une méthodologie permettant la mise en œuvre d'architectures reconfigurables de type FPGA. Il s'agira de modéliser, valider et implanter le comportement et l'architecture d'accélérateurs matériels. Les étudiants mettront en pratique :

- La définition et l'implantation, la description d'opérateurs génériques,
- La définition et la mise en œuvre de machine à états,
- La description, la validation comportementale et back-annotated de traitements simples,
- La configuration et le débogage de cibles FPGA,
- L'implantation et validation de traitement d'images (filtrage avec noyau 3x3) sur une cible de type FPGA ARTIX 7, avec conception d'une mémoire cache pour la mise en œuvre en parallèle d'opérateurs arithmétiques, ainsi que la mise en œuvre du contrôle des flux de données associées.

Modalités de contrôle des connaissances

Évaluation initiale / Session principale

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
CC (contrôle continu)	Ecrit sur table			1.5	6.0	
CC (contrôle continu)	Epreuve pratique			1.5	6.0	



Seconde chance / Session de rattrapage

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
CC (contrôle continu) 2nde chance	Ecrit sur table			1.5	6.0	
CC (contrôle continu) 2nde chance	Epreuve pratique			1.5	6.0	